

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PAT-NO: JP02000187638A
DOCUMENT-IDENTIFIER: JP 2000187638 A
TITLE: PRE-FETCH DEVICE AND PRE-FETCH METHOD ON BUS
PUBN-DATE: July 4, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
YATSUGAYO, MASATAKA	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC CORP	N/A

APPL-NO: JP10363280
APPL-DATE: December 21, 1998

INT-CL (IPC): G06F013/36

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a pre-fetch protocol on bus without accepting any bus use request of a master device which accept a pre-fetch request during the fetch period of a target device.

SOLUTION: This pre-fetch device is provided with a bus arbiter 4 for arbitrating bus use requests inputted from plural devices connected to each other through a system bus 2. The bus arbiter accepts the bus user request and pre- fetch requests for reading data from the plural devices in advance from the plural devices to which priority orders are imparted, and preliminarily recognizes the priority orders imparted to the bus user requests and the pre-fetch requests and periods requested fro the fetch of the plural devices, and preferentially permits the pre-fetch requests based on the periods required of the fetch, and does not accept the bus use request from the device which accepts the pre-fetch request.

COPYRIGHT: (C)2000,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-187638
(P2000-187638A)

(43) 公開日 平成12年7月4日(2000.7.4)

(51) Int.Cl. ⁷	識別記号	F I	テームコード(参考)
G 0 6 F 13/36	5 2 0	G 0 6 F 13/36	5 2 0 E 5 B 0 6 1

審査請求 有 請求項の数 8 O L (全 14 頁)

(21) 出願番号 特願平10-363280

(22) 出願日 平成10年12月21日(1998.12.21)

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 ハケ代 雅高

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74) 代理人 100100893

弁理士 渡辺 勝 (外3名)

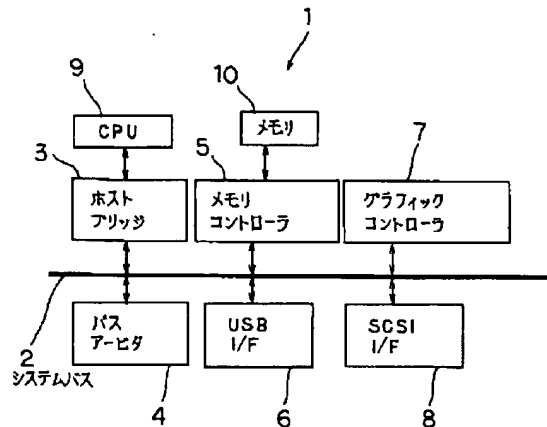
Fターム(参考) 5B061 BA01 BB16 BB43 BC02 PP01
PP02 RR02 RR03 RR06

(54) 【発明の名称】 バス上でのプリフェッチ装置およびプリフェッチ方法

(57) 【要約】

【課題】 ターゲットとなる装置のフェッチ期間中は、プリフェッチ要求を行ったマスタ装置のバス使用要求を受け付けられないバス上のプリフェッチ・プロトコルを提供する。

【解決手段】 システムバスを介して接続された複数の装置から入力されるバス使用要求を調停を行うバスアービタを有するプリフェッチ装置であって、バスアービタは、優先順位を付与された複数の装置からのバス使用要求および前もって複数の装置からデータを読み出すためのプリフェッチ要求とを受け付け、バス使用要求とプリフェッチ要求に付与された優先順位および複数の装置のフェッチに要する期間をあらかじめ認識し、そのフェッチに要する期間に基づいてプリフェッチ要求を優先的に許可し、かつプリフェッチ要求を行った装置からのバス使用要求を受け付けない。



【特許請求の範囲】

【請求項1】 システムバスを介して接続された複数の装置から入力されるバス使用要求を調停を行うバスアービタを有するプリフェッチ装置であって、

前記バスアービタは、優先順位が付与された前記複数の装置からのバス使用要求および前もって前記複数の装置からデータを読み出すためのプリフェッチ要求とを受け付け、前記バス使用要求とプリフェッチ要求に付与された優先順位および前記複数の装置のフェッチに要する期間をあらかじめ認識し、そのフェッチに要する期間に基づいて前記プリフェッチ要求を優先的に許可し、かつ前記プリフェッチ要求を行った装置からのバス使用要求を受け付けないことを特徴とするプリフェッチ装置。

【請求項2】 請求項1に記載のプリフェッチ装置において、

前記バスアービタは、前記システムバスに接続された前記複数の装置からのプリフェッチ要求を調停するプリフェッチ要求サイクルアービタと、

プリフェッチ要求を出した装置のプリフェッチ実行中に、該プリフェッチ要求を出した装置からのバス使用要求をマスクするリクエストマスクユニットと、

前記リクエストマスクユニットから出力されたバス使用要求を調停する通常サイクルアービタと、

前記プリフェッチ要求サイクルアービタと通常サイクルアービタの出力を多重化するマルチプレクサと、

前記マルチプレクサの出力からバス使用要求を出した装置にバス使用許可を与える信号を生成するバス使用許可信号出力ユニットと、を具備することを特徴とするプリフェッチ装置。

【請求項3】 請求項2に記載のプリフェッチ装置において、

前記マルチプレクサは、前記通常サイクルアービタから出力されたバス使用要求より、前記プリフェッチ要求サイクルアービタから出力されたプリフェッチ要求を優先的に多重化し、プリフェッチ要求を出力した装置へバス使用許可信号を出力することを特徴とするプリフェッチ装置。

【請求項4】 請求項2に記載のプリフェッチ装置において、

前記リクエストマスクユニットは、前記複数の装置のフェッチに要するクロック数が格納された複数のマスク用フェッチ期間レジスタと、

前記複数のマスク用フェッチ期間レジスタの1つに格納されたクロックとフェッチ開始信号の1つとを比較し、一致した場合に信号を出力するとともにカウントを開始するコンペアタイマと、

前記複数の装置からのフェッチ開始信号の論理和をとった信号と前記バス使用許可信号出力ユニットから出力されたバス使用許可信号の論理積をとるANDゲート回路と、

前記ANDゲート回路からの信号が入力するとセットされ、前記コンペアタイマからの信号が入力するとリセットされるフリップフロップと、を具備することを特徴とするプリフェッチ装置。

【請求項5】 請求項4に記載のプリフェッチ装置において、

前記フリップフロップは、前記コンペアタイマから信号が入力されたときにセットされ、プリフェッチ要求およびバス使用要求が同時に出力されたときにリセットされることを特徴とするプリフェッチ装置。

【請求項6】 請求項2に記載のプリフェッチ装置において、

前記プリフェッチ要求サイクル・アービタとリクエストマスクユニットの間に該2装置からの信号をデコードするデコーダを設けたことを特徴とするプリフェッチ装置。

【請求項7】 請求6に記載のプリフェッチ装置であって、

前記デコーダは、前記複数の装置からのプリフェッチ要求信号とバス使用要求信号とを入力して、これらの信号からバス使用許可要求信号とフェッチ開始信号およびバス使用要求信号とを生成して出力することを特徴とするプリフェッチ装置。

【請求項8】 請求項1に記載のプリフェッチ方法であって、

システムバスに接続されたリードサイクルのプロトコルにメモリから前もってデータを読み出しておくプリフェッチ要求を設け、バス使用要求より該プリフェッチ要求が優先的に処理されることを特徴とするプリフェッチ方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、コンピュータシステムでのバス使用調停において、リードサイクルならびにライトサイクルのためのバス使用要求によりプリフェッチ要求が優先的に調停されるプリフェッチプロトコルに関する。

【0002】

【従来の技術】本発明が関するバス・プロトコルは、特に、コンピュータ装置において、バスアービタが集中的にバス使用調停作業を行うようなシステムバス構成において、バス使用効率を向上させるために用いられる。

【0003】一般的に、このようなバス・プロトコルでは、ライトサイクルならびにリードサイクル（この2つのサイクルをまとめて、これ以降通常サイクルと呼ぶ）についてのバス調停作業に関しては区別せずに取り扱っており、リードサイクルが起こった際に、その読み出しデータの格納先のメモリ装置のアクセス速度が遅く、読み出しデータの準備が遅れる場合には、リードサイクル開始から読み出しデータ取得までのレイテンシ（Latency）

y:遅延時間)はその分遅れ、バス使用効率も低下していたが、近年のコンピュータ装置内のシステムバスの高速化に伴い、読み出しデータ取得までのレイテンシの低減、バス使用効率の向上が要請されていた。

【0004】図14は、従来行われている要求リトライサイクルの動作を示すタイミングチャートである。

【0005】上記の要請に応えるために、図14に示されるタイミングチャートでは、リードコマンドを受けたターゲット装置(図示せず)がリードコマンドを出したマスタ装置(図示せず)にリトライ要求を出し、マスタ装置にサイクルを終了させることによってバスの無駄な占有を防ぐといった手法がこれまでとられてきた。

【0006】図14において、マスタ装置は読み出しを行うアドレスとリードコマンドをそれぞれアドレス/データ線101とコマンド線102に出力し、同時にバス占有信号104にHighレベルを出力し、バスを使用していることを他の装置に通知している。ターゲット装置はアドレス/データ線101のアドレスとコマンド線102のリードコマンドをデコードし、自らの内部アドレスに対するリードであることを認識し、メモリからのデータのフェッチを開始する。バス上にはリトライ要求信号線103にHighレベルを出力し、マスタ装置にサイクル終了とリトライ要求をする。マスタ側はリトライ要求信号線がHighレベルになっていることを検知し、バス占有信号線104をLowレベルに戻し、サイクルを占有する。この結果、バス占有期間は2クロックとなる。

【0007】

【発明が解決しようとする課題】上述したような従来のリトライ要求による手法を用いた際には、マスタ装置は読み出しを行う先の装置のフェッチに要する期間を関知しないために、フェッチが終了しないうちにリトライによるリードサイクルが起こってしまい、バスを無駄に占有してしまうという問題点があった。

【0008】本発明は、上述したような従来の技術が有する問題点に鑑みなされたものであって、リードサイクルのプロトコルに、プリフェッチ要求サイクルを設け、それに伴い、バス使用権獲得調停においては、通常サイクルのためのバス使用要求信号より上述のプリフェッチ要求サイクル用バス使用要求信号が優先的に調停され、さらに、ターゲットとなる装置のフェッチ期間中は、プリフェッチ要求を行ったマスタ装置のバス使用要求を受け付けられないプリフェッチ・プロトコルおよびそのバス調停方法を提供することを目的とする。

【0009】

【課題を解決するための手段】上記の問題点を解決するため、本発明によれば、システムバスを介して接続された複数の装置から入力されるバス使用要求を調停を行うバスアービタを有するプリフェッチ装置であって、バスアービタは、優先順位が付与された複数の装置からのバ

ス使用要求および前もって複数の装置からデータを読み出すためのプリフェッチ要求とを受け付け、バス使用要求とプリフェッチ要求に付与された優先順位および複数の装置のフェッチに要する期間をあらかじめ認識し、そのフェッチに要する期間に基づいてプリフェッチ要求を優先的に許可し、かつプリフェッチ要求を行った装置からのバス使用要求を受け付けないことを特徴とする。

【0010】また、バスアービタは、システムバスに接続された複数の装置からのプリフェッチ要求を調停するプリフェッチ要求サイクルアービタと、プリフェッチ要求を出した装置のプリフェッチ実行中に、プリフェッチ要求を出した装置からのバス使用要求をマスクするリクエストマスクユニットと、リクエストマスクユニットから出力されたバス使用要求を調停する通常サイクルアービタと、プリフェッチ要求サイクルアービタと通常サイクルアービタの出力を多重化するマルチプレクサと、マルチプレクサの出力からバス使用要求を出した装置にバス使用許可を与える信号を生成するバス使用許可信号出力ユニットと、を具備することを特徴とする。

【0011】また、マルチプレクサは、通常サイクルアービタから出力されたバス使用要求より、プリフェッチ要求サイクルアービタから出力されたプリフェッチ要求を優先的に多重化し、プリフェッチ要求を出力した装置へバス使用許可信号を出力することを特徴とする。

【0012】また、リクエストマスクユニットは、複数の装置のフェッチに要するクロック数が格納された複数のマスク用フェッチ期間レジスタと、複数のマスク用フェッチ期間レジスタの1つに格納されたクロックとフェッチ開始信号の1つとを比較し、一致した場合に信号を出力するとともにカウントを開始するコンペアタイマと、複数の装置からのフェッチ開始信号の論理和をとった信号とバス使用許可信号出力ユニットから出力されたバス使用許可信号の論理積をとるANDゲート回路と、ANDゲート回路からの信号が入力するとセットされ、コンペアタイマからの信号が入力するとリセットされるフリップフロップと、を具備することを特徴とする。

【0013】また、フリップフロップは、コンペアタイマから信号が入力されたときにセットされ、プリフェッチ要求およびバス使用要求が同時に出力されたときにリセットされることを特徴とする。

【0014】また、プリフェッチ要求サイクル・アービタとリクエストマスクユニットの間に該2装置からの信号をデコードするデコーダを設けたことを特徴とする。

【0015】また、デコーダは、複数の装置からのプリフェッチ要求信号とバス使用要求信号とを入力して、これらの信号からバス使用許可要求信号とフェッチ開始信号およびバス使用要求信号とを生成して出力することを特徴とする。

【0016】また、システムバスに接続されたリードサイクルのプロトコルにメモリから前もってデータを読み

出しておくプリフェッチ要求を設け、バス使用要求よりプリフェッチ要求が優先的に処理されることを特徴とする。

【0017】上記のように構成される本発明においては、リードサイクルに先立って行うプリフェッチ要求サイクルをあらかじめ定義し、これに基づいてプリフェッチ要求の処理を行うことにしたので、従来、フェッチに長時間を要する装置に対して用いられていたリトライ等のバス効率化の手段よりもバス占有期間が短くすることができる。

【0018】また、プリフェッチ要求サイクルをバス・プロトコル中で定義し、通常サイクルよりも優先させてバス使用許可を与えているので、リードサイクルにおいて、リードデータを受け取るまでのレイテンシを軽減することができ、また、プリフェッチ要求サイクルの実行によってバスを占有する時間が、従来のリトライサイクルによってバスを占有する時間よりも短くなるので、バス使用効率全体の効率を向上させることができる。

【0019】さらに、プリフェッチ要求サイクル用のバス使用許可要求信号とノーマルサイクル用のバス使用許可要求信号とは分離しているので、各々に異なった優先順位の設定が可能であり、フェッチ時間の長い装置に対しては、通常サイクル用のバス使用許可信号割り当ての優先順位とは関係なく、プリフェッチ要求サイクルのバス使用許可要求信号割り当ての優先順位を高く設定することができる。これにより、プリフェッチ要求サイクルのバス使用許可が、複数装置から同時にアクティブにされた場合であっても、効率的に調停を行うことが可能である。

【0020】また、さらに、プリフェッチ要求に応答してプリフェッチ中の装置に対して、データの準備が整わない内にプリフェッチを要求した装置からリードサイクルが起こることを防ぐため、バスアービタ中にリクエストマスクユニットを設けて、調停対象から一時的に外す処理を行っているので、無意味なトラフィックの増大を防ぎ、バス使用効率化を果たすことができる。

【0021】

【発明の実施の形態】次に、本発明の実施例を図面を参照して説明する。

【0022】図1は、本発明の第1の実施例の構成例を示すブロック図である。

【0023】図1に示すように、本実施例のコンピュータ装置1は、一本のシステムバス2にホストブリッジ3、メモリコントローラ5、USB(Universal Serial Bus)インタフェース6、グラフィックコントローラ7、SCSI(Small Computer System Interface)インタフェース8の各装置が、そして、ホストブリッジ3にはCPU9が、メモリコントローラ5にはメモリ10が接続され、各装置3、5、6、7、8から出力されるバス使用要求の調停作業を、一つのバスアービタ4で行う

という構成である。

【0024】バスアービタ4は、コンピュータ装置1を構成する各装置3、5、6、7、8からのバス使用要求を調停するバスアービトレーションを行う装置である。もし、このバスアービトレーションを行わないと、各装置が同時または時間的にほぼ同時にバス使用要求を出した場合、どちらの装置のバス使用要求を優先的に処理してよいか分からなくなってしまう。

【0025】そこで、複数の装置から同時にバス使用要求が出された場合を考えて、各装置3、5、6、7、8にバス使用要求を受け付ける優先順位が付与されている。こうすることにより、同時にバス使用要求が出された場合は、高い優先順位が付与された装置から順に処理されるので、混乱が生じることはなくなる。

【0026】なお、上記において、USBは、パソコンと周辺機器を接続するためのインタフェース規格、SCSIは、パソコン等とハードディスクやレーザープリンタ等の周辺機器を接続するためのインタフェース規格である。

【0027】図2は、本発明の第1の実施例のシステムバス2を介した要求/フェッチ信号20とバス使用許可信号21の信号の流れを示すブロック図である。

【0028】図2を参照すると、ホストブリッジ3、メモリコントローラ5、グラフィックコントローラ7、USBインタフェース6、SCSIインタフェース8から要求/フェッチ信号20が出力され、バスアービタ4に入力される。バスアービタ4は、これらの要求/フェッチ信号20を受けて要求/フェッチ信号20を出力した各装置にバス使用許可信号21を出力する。

【0029】図3は、各装置に入出力される信号と優先順位を表にまとめた図である。

【0030】ここで、要求/フェッチ信号20は、単一の信号ではなく、図3に示すように、各装置3、5、6、7、8から通常サイクルを要求する通常サイクル用バス使用要求信号REQA~REQEと、プリフェッチを要求するプリフェッチ要求サイクル用バス使用要求信号FETCHREQA~FETCHREQEと、フェッチ開始信号FETCHA~FETCHEと、から成り立っている。

【0031】しかし、バスアービタ4は、要求/フェッチ信号20を出力したすべての装置3、5、6、7、8に等しくバス使用許可を与えるわけではなく、あらかじめ付与された優先順位に従ってバス使用許可を与える。各装置の優先順位を図3に示す。図3に示すように、優先順位は、ホストブリッジ3、メモリコントローラ5、グラフィックコントローラ7、USBインタフェース6、SCSIインタフェース8の順に設定されている。これらの各装置3、5、6、7、8が同時にバスアービタ4に要求/フェッチ信号20を出力した場合は、上述した優先順位に従ってバス使用許可が与えられる。

【0032】また、ホストブリッジ3、グラフィックコ

ントローラ7、SCSIインタフェース8等から同時ではなくほとんど同時、マシンサイクルによって決定される時間内に重複して要求/フェッチ信号20が出力された場合も同様に上述した優先順位によりバス使用許可が与えられる。

【0033】詳述すると、要求/フェッチ信号20が同時ではなく、時間的にずれて出力された場合はどうか、このような場合は、各装置3、5、6、7、8からの要求/フェッチ信号20の出力が時間的にどれだけずれていくによる。各装置間のバス使用時間が全く重複していない異なるマシンサイクルに出力されている場合には、優先順位に関係なく要求/フェッチ信号20が出力された順に要求が受け付けられる。時間的に多少とも重複していて同じマシンサイクル内に出力されている場合には、原則的に早く到着した処理の実行が終了してから、次に到着した要求の処理が実行される。

【0034】バスアービタ4は以上のように、各装置3、5、6、7、8からのバス使用要求またはプリフェッチ要求を受けつけ、各装置3、5、6、7、8に付与された優先順位に従って順に処理していく。バス使用要求とプリフェッチ要求が同時に出力された場合は、プリフェッチ要求を優先的に調停し、プリフェッチ要求の処理が済んでから、バス使用要求処理を行う。

【0035】本実施例の動作の説明に入る前に、図3に掲載した各信号の入出力装置とその出力タイミングをここで簡単に説明しておく。

【0036】REQA~REQEは、通常サイクル時に各装置3、5、6、7、8からバスアービタ4に入力される通常サイクル用バス使用要求信号である。FETCHREQA~FETCHEREQEは、プリフェッチ要求時にバスアービタ4に入力されるプリフェッチ要求サイクル用バス使用要求信号である。FETCHA~FETCHEは、フェッチ開始時にバスアービタ4に入力されるフェッチ開始信号である。GNTA~GNTEは、バスアービタ4からバス使用が許可された装置に出力されるバス使用許可信号である。

【0037】上記の各信号13~16の出力順序は、通常サイクル発生の際には、まず、通常サイクル用バス使用要求信号REQA~REQEを、プリフェッチ要求サイクル発生の際には、プリフェッチ要求サイクル用バス使用要求信号FETCHREQA~FETCHEREQEが出力され、続いて、フェッチ開始信号FETCHA~FETCHEが、最後に、バス使用許可信号GNTA~GNTEが出力される。

【0038】図4(a)~(c)のそれぞれは、例として、図3に示したホストブリッジ3がメモリコントローラ5に対して読み出しを行う際の、ホストブリッジ3、メモリコントローラ5、バスアービタ4の動作内容を時間軸上に表したものである。読み出しを行う際は、図4(a)に示されるプリフェッチ要求サイクル、図4(b)に示されるプリフェッチ実行中、図4(c)に示されるリードサイクルの3フェーズから成る。

【0039】それでは、時間の経過の従って動作内容を説明する。

【0040】プリフェッチ要求サイクルにおいて、ホストブリッジ3は、バスアービタ4に対して、例えば、プリフェッチ要求サイクル用バス使用要求信号FETCHREQA 14を出力する。この信号は優先的に調停され、プリフェッチ要求サイクルを発生し、メモリコントローラ5がそれに従ってメモリ10からデータのフェッチを実行する間、バスアービタ4は、ホストブリッジ3からのバス使用要求をマスクし、受け付けない。

【0041】プリフェッチ中においては、フェッチ開始信号FETCHA 15によりメモリコントローラ5がメモリ10からデータをプリフェッチする。

【0042】リードサイクルにおいては、プリフェッチ終了後、バス使用要求のマスクを解除し、ホストブリッジ3からのバス使用要求を加えて調停を行い、ホストブリッジ3にバス使用許可信号GNTA 16を出力する。これによって、ホストブリッジ3はメモリコントローラ5に対して読み出しを行い、読み出しデータを取得する。

【0043】以上のように、リードサイクルに先立って、プリフェッチ要求サイクルを実行することをバスアービタ4が優先的に許可する。また、以上のことにより、リードサイクルを起こした装置が読み出しデータを取得するまでのレイテンシが減少し、バス全体の使用効率が改善される。

【0044】図5は、図2に示したバスアービタ4の内部構成を示す図である。図5に示すように、バスアービタ4は、システムバス2に接続された各装置3、5、6、7、8からのプリフェッチ要求を調停するプリフェッチ要求サイクル・アービタ28と、プリフェッチを出した装置のプリフェッチ実行中に、プリフェッチ要求を出した装置からの通常サイクルのためのバス使用要求をマスクするリクエストマスクユニット30と、リクエストマスクユニット30から出力された通常サイクルを調停する通常サイクル・アービタ31と、プリフェッチ要求サイクル・アービタ28と通常サイクル・アービタ31の出力をマルチプレクスするマルチプレクサ33と、マルチプレクサ33の出力からバス使用要求を出した装置にバス使用許可を与えるバス使用許可信号GNTA~GNTE 29を生成して出力するバス使用許可信号出力ユニットと32と、を含む。

【0045】リクエストマスクユニット30は、プリフェッチ要求サイクル用バス使用要求信号FETCHREQA~FETCHEREQE 26を出力した装置がプリフェッチ要求サイクルを発生しフェッチを実行する間、プリフェッチ用要求サイクル用バス使用要求信号FETCHREQA~FETCHEREQE 26を出力した装置からのバス使用要求をマスクし、受け付けなくする。これは、プリフェッチ要求を優先的に処理するためと、プリフェッチ要求および通常のバス使用要求が混在してシステムバス2が混乱するのを防ぐためであ

る。

【0046】通常サイクル用バス使用要求信号REQA~REQE27と、プリフェッチ要求サイクル用バス使用要求信号FETCHREQA~FETCHEREQE26は、それぞれバスアービタ4内のリクエストマスクユニット30とプリフェッチ要求サイクル・アービタ28に入力される。リクエストマスクユニット30によって、フェッチ期間中は該当するプリフェッチ要求サイクル使用要求信号FETCHREQA~FETCHEREQE26を出した装置からの通常サイクル用バス使用要求信号REQA~REQE27はマスクされ、調停には加わ

らない。
【0047】リクエストマスクユニット30から出力された通常サイクルバス使用要求信号BUSREQA~BUSREQE24と、各装置3, 5, 6, 7, 8からのプリフェッチ要求サイクル用バス使用要求信号FETCHREQA~FETCHEREQE26は、それぞれプリフェッチ要求サイクル・アービタ28と通常サイクル・アービタ31に入力され、それぞれの調停プロトコルによってバス使用許可信号の出力先が決定され、バス使用許可信号出力先コード22および23がマルチプレクサ33に入力される。マルチプレクサ33は、プリフェッチ要求サイクル・アービタ28からのバス使用許可信号出力先コード23を優先的にマルチプレクスし、バス使用許可信号出力ユニット32へとバス使用許可信号出力先コード29を出力する。バス使用許可信号出力ユニット32はこれをデコードした結果、バス使用許可信号GNTA~GNTE21をリクエストマスクユニット30にフィードバックし、システムバス2に接続された各装置3, 5, 6, 7, 8へと出力され、バス使用許可信号GNTA~GNTE21のうちの1つをアクティブにすることで、それが接続する装置に対してバス使用を許可する。

【0048】なお、上述した各信号は、優先順位の高い装置から、FETCHREQA~FETCHEREQE26, FETCHA~FETCHE25, REQA~REQE27, GNTA~GNTE21の順に割り当ててもよいし、この逆になる割り当ててもよい。

【0049】図6は、バスアービタ3内のリクエストマスクユニット30の内部構成を示す図である。

【0050】上述したバスアービタ4の機能を実現する部分がこのリクエストマスクユニット30である。

【0051】図6に示すように、リクエストマスクユニット30は、システムバス2上の各装置3, 5, 6, 7, 8のフェッチに要するクロック数が格納された複数のREQA~REQEマスク用フェッチ期間レジスタ41と、複数のREQA~REQEマスク用フェッチレジスタ41の1つに格納されたクロック数と各装置3, 5, 6, 7, 8から入力したフェッチ開始信号信号FETCHA~FETCHE25の1つとを比較し、一致した場合に、一致信号46を出力するとともにカウントダウンを開始するコンペアタイマ45と、フェッチ開始信号FETCHA~FETCHE25の論理和をとった信号とバス使用許可出力ユニット32からフィー

ドバックされたバス使用許可信号GNTA~GNTE21との論理積をとって、ANDゲート回路38から入力した信号でリセットされ、コンペアタイマ45から入力した信号でセットされるRSフリップフロップ34と、RSフリップフロップ34および各装置3, 5, 6, 7, 8から入力した通常サイクル用バス使用要求信号REQA~REQE27からバス使用許可信号BUSREQA~BUSREQE24を生成するANDゲート回路36と、を含む。

【0052】リクエストマスクユニット30において、プリフェッチ要求の開始タイミングとそのプリフェッチの実行期間はあらかじめ決まっており、これらは、リクエストマスクユニット30に内蔵されたREQA~REQEマスク用フェッチ期間レジスタ41の値によって設定される。例えば、ホストブリッジ3は、REQAマスク用フェッチ期間レジスタ41により、グラフィックコントローラ7は、REQCマスク用フェッチ期間レジスタ41によって設定される。

【0053】しかし、プリフェッチの実行期間は、システムバス2上の装置の位置や性能等によって決定されるものであり、必ずしもプリフェッチ期間の長い装置から高い優先順位を付与する必要はなく、プリフェッチ期間の短いものから高い優先順位を付与してもよい。

【0054】システムバス2上の各装置3, 5, 6, 7, 8のフェッチに要するクロック数は各装置3, 5, 6, 7, 8のREQA~REQEマスク用フェッチ期間レジスタ41にそれぞれ書込まれている。このREQA~REQEフェッチ期間レジスタ41に書込まれた値の内の1つが、コンペアタイマ45のコンペア値となる。RSラッチ34は、RSラッチを5個並列に配置したもので、それぞれのセット端子(S)にはコンペアタイマ44の一致信号45が入力されており、それぞれのリセット端子(R)には各装置3, 5, 6, 7, 8からのフェッチ開始信号FETCHA~FETCHE25をORゲート回路42で論理和をとった後、ANDゲート回路38でバス使用許可信号GNTA~GNTE21と論理積をとった信号が入力される。このRSラッチ34の出力35は、ANDゲート36によって、各装置3, 5, 6, 7, 8からの通常サイクル用バス使用要求信号REQA~REQE17をマスクし、バス使用要求信号BUSREQA~BUSREQE34として通常サイクルアービタ31へ出力される。

【0055】これに対して、通常サイクル用バス使用要求信号REQA~REQE17とリクエストマスク信号REQMASKA~REQMASKE35の両方の信号が入力されたときANDゲート36の出力は始めて1(Highレベル)になる。これがマスクされていない状態である。

【0056】なお、図1のバスアービタ4以外のシステム構成ブロック3, 5, 6, 7, 8, 9, 10は、当業者にとってよく知られており、また本発明とは直接関係しないので、その詳細な構成は省略する。

【0057】図7は、本発明の第1の実施例のバス使用

要求調停時のタイミングチャートであり、図8(a)は、プリフェッチ要求サイクルを示すタイミングチャートであり、図8(b)は、プリフェッチ終了後の読み出しを示すタイミングチャートである。

【0058】以下、図1～図8を参照して本実施例の動作について説明する。

【0059】図7から分かるように、システムバス2に接続された各装置3、5、6、7、8は、通常サイクルを発生する際には通常サイクル用バス使用要求信号REQA～REQE27を、またプリフェッチ要求サイクルを発生する際にはプリフェッチ要求サイクル用バス使用要求信号FETCHREQA～FETCHREQE26をアクティブにする。それに対してバスアービタ4は1つの装置にのみバス使用許可信号GNTA～GNTE21をアクティブにする。

【0060】本実施例では、プリフェッチ要求サイクル用バス使用要求信号FETCHREQA～FETCHREQE28は通常サイクル用バス使用要求信号REQA～REQE27よりも優先する。今、図7に示すように、ホストブリッジ3がプリフェッチ要求サイクル用バス使用要求信号FETCHREQA28をアクティブ(Highレベル)にし、メモリコントローラ5がプリフェッチ要求サイクル用バス使用要求信号FETCHREQB28をアクティブにし、グラフィックコントローラ7、USBインタフェース6、SCSIインタフェース8が各々通常サイクル用バス使用要求信号REQC, REQD, REQE27をアクティブにした場合、プリフェッチ要求サイクル・アービタ28はプリフェッチ要求サイクル用バス使用要求信号FETCHREQA, FETCHREQB28のうち、優先順位の高いホストブリッジ3の装置コードを、バス使用許可信号出力先コード23としてマルチプレクサ33へ出力する。

【0061】一方、通常サイクル・アービタ31は、通常サイクル用バス使用要求信号REQC, REQD, REQE27のうち、リクエストマスクユニット30でマスクされなかったものの優先順位の高い装置コードをバス使用許可信号出力先コード22としてマルチプレクサ33へ出力する。マルチプレクサ33は、プリフェッチ要求サイクル・アービタ28からのバス使用許可出力信号23を優先してバス使用許可信号出力ユニット32へ出力する。バス使用許可信号出力ユニット32はこれをデコードし、各装置3、5、6、7、8へのバス使用許可信号GNTA～GNTE21の内、ホストブリッジ3へのバス使用許可信号GNTA21を図7に示すようにアクティブに(Highレベルに)する。

【0062】プリフェッチ要求サイクルを発生する装置はこのようにしてバス使用許可信号GNTA21を受け取った後、読み出しを行う予定のアドレスとプリフェッチ要求を示すコマンドとをシステムバス2上へ出力し、その後あらためて同一アドレスを用いてリードサイクルを発生する。読み出し対象となった装置がプリフェッチ終了するまでの間は、マスタ装置によるリードサイクルは無

意味にトラフィックの増大を招く恐れがあるため、このマスタ装置からのバス使用許可要求は受け付けない。

【0063】図8(a)のタイミングチャートに示すように、バス使用要求許可信号GNTA21がアクティブになったことを検知したホストブリッジ3は、アドレス/データ線88に読み出すアドレスを、コマンド線89にフェッチコマンドを出力する。

【0064】システムバス2上の各装置3、6、7、8は、常にこれらのアドレスおよびコマンドの出力を監視しており、このアドレスが自らのアドレス範囲に該当する場合、コマンド線89のプリフェッチ要求コマンドに従い、上述のアドレスから直ちにデータを読み出し、自らの内部レジスタ(図示せず)内にデータをフェッチしておく。

【0065】今、メモリコントローラ5が上述したフェッチコマンドおよびアドレスをデコードし、次のクロックでフェッチ開始信号FETCHB90をアクティブにし、フェッチを開始する。バスアービタ4内のリクエストマスクユニット30では、フェッチ開始信号FETCHB90がアクティブになったことにより、メモリコントローラ5用REQA～REQEフェッチ期間レジスタ41の値がコンペアタイマ45のコンペア値として選択され、同時にコンペアタイマ45のカウントダウンを開始する。フェッチ開始信号FETCHB93がアクティブになったことにより、フェッチ開始信号FETCHA～FETCHE25の論理和をとった信号44がアクティブ(Highレベル)になり、その時、バス使用許可信号GNTA89もアクティブ(Highレベル)になるため、リクエストマスク信号REQMASKA～REQMASKE35のうち、ホストブリッジ3のリクエストマスク信号REQMASKA35のみがアクティブ(Lowレベル)になり、通常サイクル用バス使用要求信号REQA27をマスクする。このとき、バス使用許可要求信号BUSREQA～BUSREQE24のうち、ホストブリッジ3用のバス使用許可要求信号BUSREQA39はLowレベルになる。

【0066】その後、コンペアタイマ45の一致信号46がアクティブ(Highレベル)になると、RSラッチ34が全てセットされ、ホストブリッジ3のリクエストマスク信号BUSREQA37がHighレベルになることにより、マスクは解除される。

【0067】一方、前述のプリフェッチ要求サイクルを発生したマスタ装置は、図8(b)に示したように、その後あらためてリードサイクルを起こし、アドレス/データ線88上に上述のアドレスを、コマンド線89にリードコマンドを出力する。先程プリフェッチ要求コマンドを受け付けた装置は、このアドレスが上述のプリフェッチ要求サイクル時のアドレスと一致していることを確認すると、レジスタ上にフェッチしていた読み出しデータをアドレス/データ線88に出力する。

【0068】以上のように、本実施例によれば、システムバス2に接続された各装置3、4、5、6、7、8の

フェッチに要するクロック数をバスアービタ4内のREQA~REQEマスク用フェッチ期間レジスタ41に記憶しており、プリフェッチを行った装置がプリフェッチ開始タイミングをバスアービタ4に通知することにより、フェッチ期間中はプリフェッチ要求を出したマスタ装置を調停処理の対象外にすることで無駄なリードサイクルによるバス効率低下を防ぐことができる。

【0069】図9は、本発明の第2の実施例の全体構成を示すブロック図である。

【0070】図9に示すように、本実施例は、バスアービタ4'内のプリフェッチ要求サイクル・アービタ28とリクエストマスクユニット71の間にデコーダ70を設け、図5におけるフェッチ開始信号FETCHA~FETCHE25の入力を省略した例である。本発明の第2の実施例として、その基本的構成は上記の通りであるが、システムバス2上に必要な信号線の本数削減について、さらに工夫を加えている。

【0071】これ以外の構成は図5に示した第1の実施例と同様であるため、図5と同じ符号を付して示す。

【0072】各装置3, 5, 6, 7, 8からのプリフェッチ要求用バス使用要求信号FETCHREQA~FETCHREQE26と、各装置3, 5, 6, 7, 8からの通常サイクル用バス使用要求信号FETCHA~FETCHE27は、ともにデコーダ70に入力される。デコーダ70はこの2系統の信号の組み合わせから、プリフェッチ要求サイクル・アービタ28にバス使用許可要求信号FETCHREQA~FETCHREQE72を出力し、リクエストマスクユニット71に、フェッチ開始信号FETCHA~FETCHE73、およびバス使用要求信号BUSREQA~BUSREQE74を生成して出力する。

【0073】システムバス2上の各装置3, 5, 6, 7, 8は、プリフェッチ要求サイクルにตอบสนองしてプリフェッチを開始した場合は、第1の実施例のフェッチ開始信号25の代わりに、プリフェッチ要求用バス使用要求信号FETCHREQA~FETCHREQE26と、通常サイクル用バス使用要求信号FETCHA~FETCHE27がともにHighレベルになる。デコーダ70はこれをデコードし、フェッチ開始信号73の該当部分をHighレベルにすることにより、リクエストマスクユニット30に、プリフェッチ開始のタイミングを知らせる。

【0074】図10は、デコーダ70の内部構成を示す図である。図10に示すように、デコーダは、15個のANDゲート回路71を含み、このうちの5個は、通常サイクル用バス使用要求信号REQA~REQE27を反転して入力し、また別の5個は、プリフェッチ要求サイクル用バス使用要求信号FETCHREQA~FETCHREQE26を反転して入力している。

【0075】以上のように、本実施例によれば、フェッチ開始信号FETCHA~FETCHE25の入力を削減し、バスアービタ4'の内部で生成する構成をとることによって、このシステムバス2を用いたマザーボード上の配線混雑

の緩和、消費電力の低減等が可能になる。

【0076】図11は、本実施例の第3の実施例の構成を示すブロック図であり、図12は、バスアービタ4'の内部構成を示す図である。本実施例は、基本的に図1に示した第1の実施例の構成と同じであるが、リクエストマスクユニット30に各装置3, 5, 6, 7, 8の優先権を変更する優先権変更信号PCHANGE35が入力している。

【0077】図11に示すように、本実施例は、各装置3, 5, 6, 7, 8のトランザクション量（負荷状況）を監視するトランザクションモニタ22を設けた例であり、各装置3, 5, 6, 7, 8からトランザクション監視信号TMONITOR23が入力される。第1の実施例では、各装置3, 5, 6, 7, 8のフェッチに要する期間の長さに応じて優先権を付与していたが、本実施例は、フェッチ期間長さに関係なく、その装置の現在のトランザクション量に応じて優先順位を決定するものである。具体的には、例えば、画像データの処理量が多くなれば、グラフィックコントローラ7に最も高い優先順位が付与される。

【0078】以上のように、本実施例によれば、各装置3, 5, 6, 7, 8のトランザクション量に応じて優先順位をダイナミックに変更でき、システム各部の負荷状態に応じバス使用許可を獲得して順次処理を実行することができるため、バスの効率化だけでなく、システム全体の効率化も図ることができる。また、トランザクションの量に関わらず、処理の緊急性や重要性に応じて優先権を付与してもよい。

【0079】図13は、第1から第3の実施例のプリフェッチ要求サイクルのタイミングチャートである。

【0080】図13において、マスタ装置は読み出しを行うアドレスとフェッチコマンドをそれぞれアドレス/データ線106とコマンド線107に出力し、同時に、バス占有信号108にHighレベルを出力し、バスを使用していることを他の装置に通知し、次のクロックではバス占有信号をLowレベルに戻し、サイクルを終了している。このように、ターゲット装置からの応答を待たずにバス占有を行っているため、図14に示す従来例ではと比較すると、バス占有期間は1クロック（従来例の半分）となり、従来のリトライサイクルによるプリフェッチ実行よりもバス占有期間が短くなる。

【0081】なお、以上説明した各実施例の各回路および信号の組み合わせに限定されるものではなく、これらをどのように組み合わせても、また、同等の機能を実現できるものであれば、別の回路構成にしてもよい。

【0082】

【発明の効果】以上説明したように、本発明によれば、以下のような顕著な効果を奏する。

【0083】(1) リードサイクルに先立って行うプリフェッチ要求サイクルを定義した事によって、従来、フ

ェッチに長時間を要する装置に対して用いられていたリトライ等のバス効率化の手段よりもバス占有期間が短くすることができる。

【0084】(2)プリフェッチ要求サイクルをバス・プロトコル中で定義し、通常サイクルよりも優先させてバス使用許可を与えることにより、リードサイクルにおいて、リードデータを受け取るまでのレイテンシを軽減することができる。また、プリフェッチ要求サイクルの実行によってバスを占有する時間は、従来のリトライサイクルによってバスを占有する時間よりも短くなり、バス使用効率全体の効率化につながる。

【0085】(3)プリフェッチ要求サイクル用のバス使用許可要求信号とノーマルサイクル用のバス使用許可要求信号とは分離しているため、各々に異なった優先順位の設定が可能であり、フェッチ時間の長い装置に対しては、通常サイクル用のバス使用許可信号割り当ての優先順位とは関係なく、プリフェッチ要求サイクルのバス使用許可要求信号割り当ての優先順位を高く設定することができる。これによって、プリフェッチ要求サイクルのバス使用許可が、複数装置から同時にアクティブにされた場合であっても、効率的に調停を行うことが可能である。

【0086】(4)プリフェッチ要求に応答してプリフェッチ中の装置に対して、データの準備が整わない内にプリフェッチを要求した装置からリードサイクルが起ることを防ぐため、バスアービタ中にリクエストマスクユニットを設けて、調停対象から一時的に外す処理を行っているため、無意味なトラフィックの増大を防ぎ、バスを効率的に使用することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例の構成例を示すブロック図である。

【図2】本発明の第1の実施例のシステムバス2を介した要求/フェッチ信号20とバス使用許可信号21の信号の流れを示すブロック図である。

【図3】各装置に入出力される信号と優先順位を表にまとめた図である。

【図4】図3に示したホストブリッジ3がメモリコントローラ5に対して読み出しを行う際の、ホストブリッジ3、メモリコントローラ5、バスアービタ4の動作内容を時間軸上に表したものである。

【図5】図2に示したバスアービタ3の内部構成を示す

図である。

【図6】リクエストマスクユニット30の内部構成を示す図である。

【図7】本発明の第1の実施例のバス使用要求調停時のタイミングチャートである。

【図8】プリフェッチ要求サイクルを用いた読み出しを示すタイミングチャートである。

【図9】本発明の第2の実施例の全体構成を示すブロック図である。

【図10】デコーダ70の内部構成を示す図である。

【図11】本実施例の第3の実施例の構成を示すブロック図である。

【図12】バスアービタ4'の内部構成を示す図である。

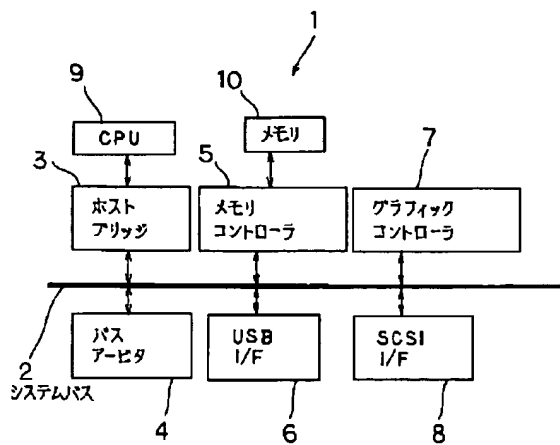
【図13】従来例の要求リトライサイクルのタイミングチャートである。

【図14】従来行われている要求リトライサイクル動作を示すタイミングチャートである。

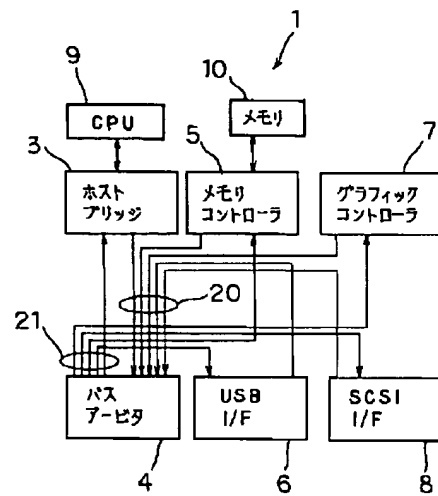
【符号の説明】

- 1 コンピュータ装置
- 2 システムバス
- 3 ホストブリッジ
- 4, 4' バスアービタ
- 5 メモリコントローラ
- 6 USB (Universal System Interface) インタフェース
- 7 グラフィックコントローラ
- 8 SCSI (Small Computer System Interface) インタフェース
- 9 CPU
- 10 メモリ
- 28 プリフェッチ要求サイクル・アービタ
- 30 リクエストマスクユニット
- 31 通常サイクル・アービタ
- 32 バス使用許可信号出力ユニット
- 33 マルチプレクサ
- 34 RSフリップフロップ
- 36, 38 ANDゲート回路
- 41 REQA~REQEマスク用フェッチ期間レジスタ
- 42 ORゲート回路
- 45 コンペアタイマ
- 70 デコーダ

【図1】



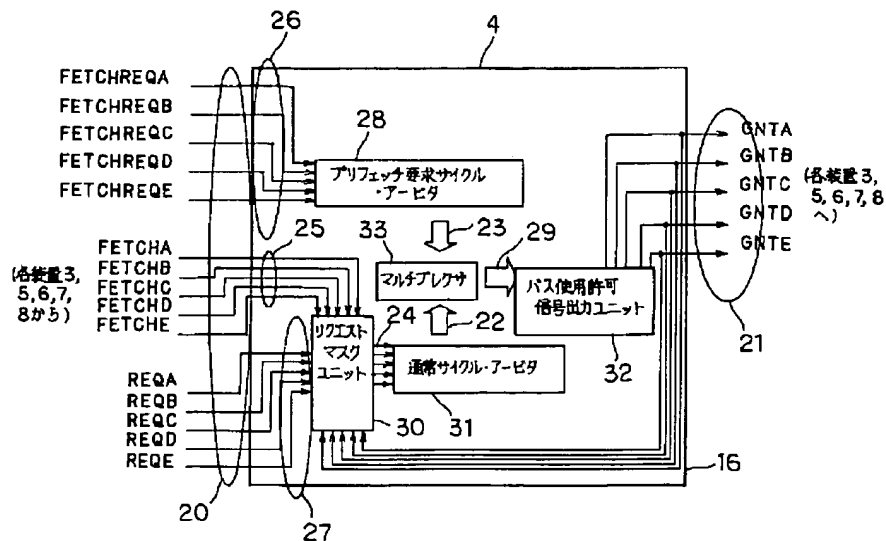
【図2】



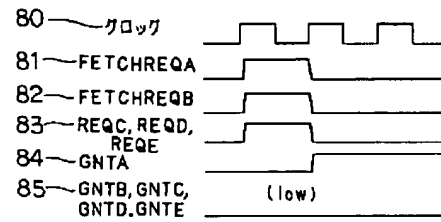
【図3】

要求/フェッチ信号			バス使用許可信号	優先順位	接続先の装置
REQA	FETCHREQA	FETCHA	GNTA	1	ホストブリッジ
REQB	FETCHREQB	FETCHB	GNTB	2	メモリコントローラ
REQC	FETCHREQC	FETCHC	GNTC	3	グラフィックコントローラ
REQD	FETCHREQD	FETCHD	GNTD	4	USB インタフェース
REQE	FETCHREQE	FETCHE	GNTE	5	SCSI インタフェース

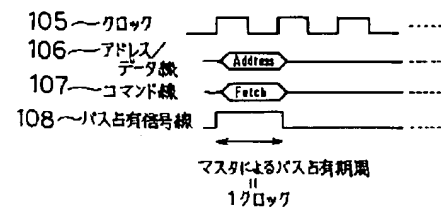
【図5】



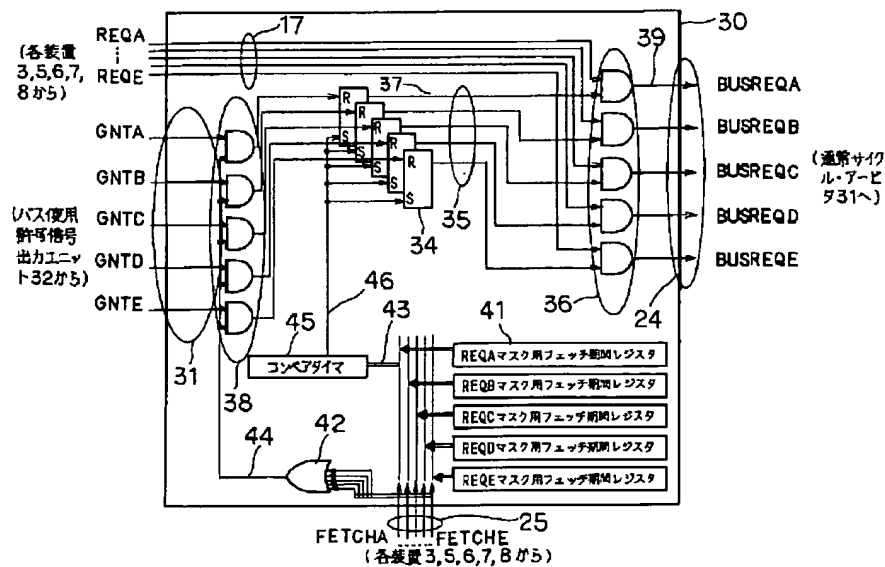
【図7】



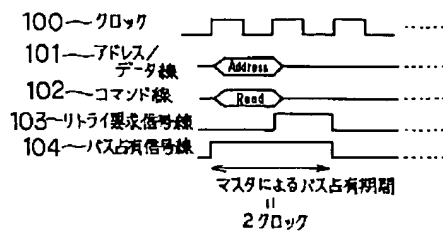
【图 13】



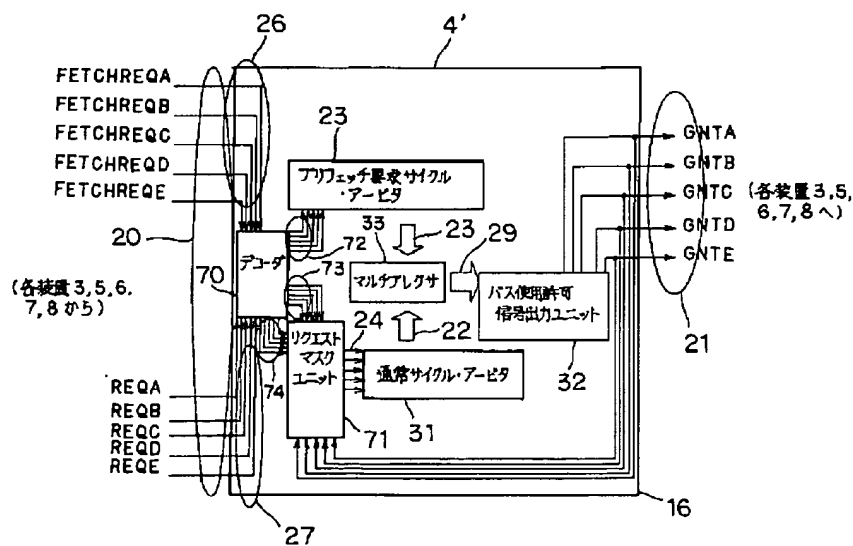
【図6】



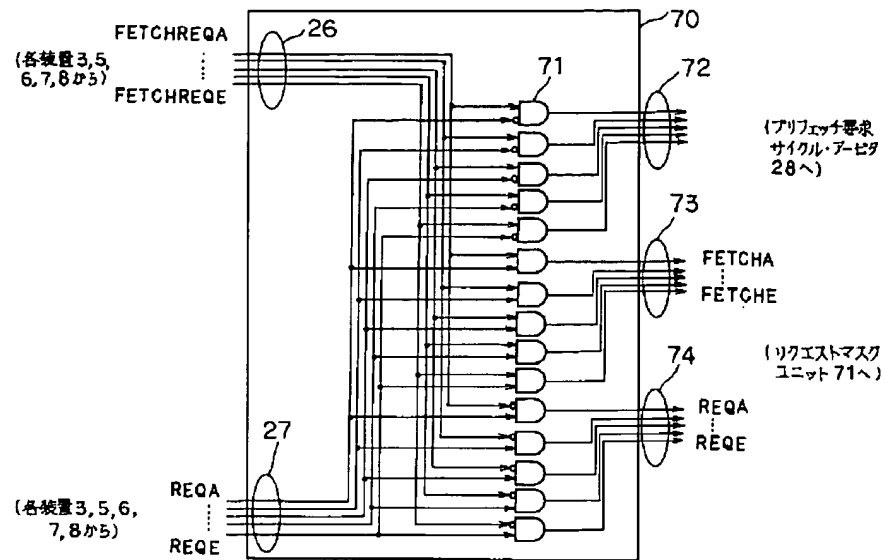
【図14】



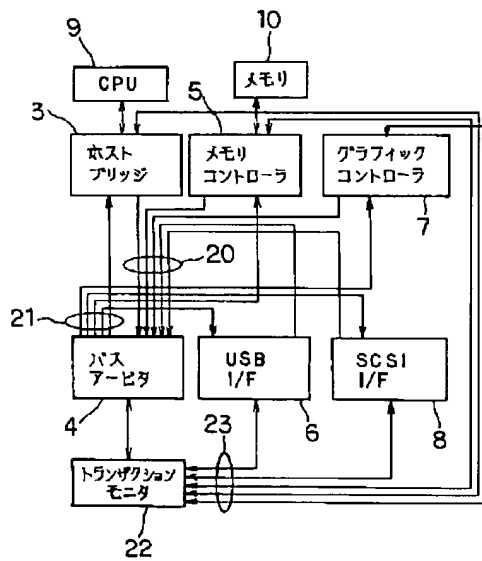
【図9】



【図10】



【図11】



【図12】

